

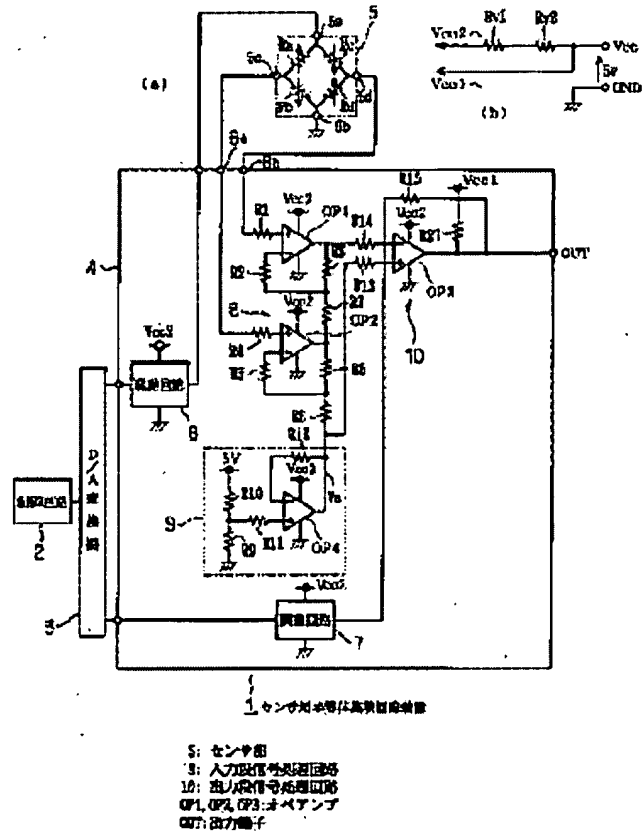
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FOR SENSOR

Patent number: JP2003110367
Publication date: 2003-04-11
Inventor: NAGASE KAZUYOSHI; OKADA HIROSHI
Applicant: DENSO CORP
Classification:
 - international: H03F1/26
 - european:
Application number: JP20010303566 20010928
Priority number(s): JP20010303566 20010928

[Report a data error here](#)

Abstract of JP2003110367

PROBLEM TO BE SOLVED: To improve EMC (electroMagnetic compatibility) resistance capacity, while suppressing the increase in the chip area and the cost rise. **SOLUTION:** A semiconductor integrated circuit device 1 for a sensor comprises, as main constituents, a signal processing circuit 8 at an input stage and a signal processing circuit 10 at an output stage for signal processing an output of the circuit 8. To prevent noises from entering from terminals 8a, 8b, an RC filter circuit is provided in the input portions of operational amplifiers OP1, OP2. To prevent noises from entering from an output terminal OUT, a resistor is connected in series with load transistors, constituting a differential pair of an operational amplifier OP3, and a resistor is connected in series with a phase compensation circuit. This constitution eliminates the need for connecting a capacitor having a large capacity for filter to a power supply terminal Vcc.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-110367

(P2003-110367A)

(43) 公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.
H 0 3 F 1/26

識別記号

F I
H 0 3 F 1/26

キーワード* (参考)
5 J 0 9 2
5 J 5 0 0

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2001-303566 (P2001-303566)

(22) 出願日 平成13年9月28日 (2001.9.28)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 長瀬 和義

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者 岡田 寛

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人 100071135

弁理士 佐藤 強

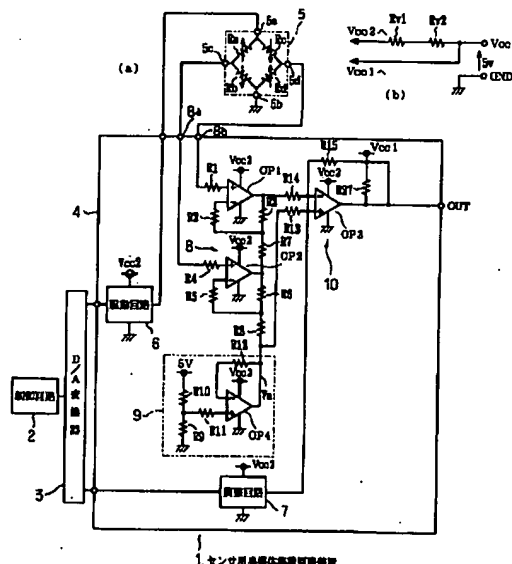
最終頁に続く

(54) 【発明の名称】 センサ用半導体集積回路装置

(57) 【要約】

【課題】 チップ面積の増大及びコストの上昇を抑えつつ、EMC耐量を高める。

【解決手段】 センサ用半導体集積回路装置1は、入力段の信号処理回路8と、この入力段の信号処理回路8の出力を信号処理する出力段の信号処理回路10とを主体として構成されている。端子8a、8bからのノイズの侵入を防ぐため、オペアンプOP1、OP2の入力部にはRCフィルタ回路が設けられている。出力端子OUTからのノイズの侵入を防ぐため、オペアンプOP3の差動対を構成する負荷トランジスタに直列に抵抗が接続されており、位相補償回路に直列に抵抗が接続されている。これにより、電源端子Vccにフィルタ用の容量の大きいコンデンサを接続する必要がなくなる。



5: センサ部
8: 入力信号処理回路
10: 出力信号処理回路
OP1, OP2, OP3: オペアンプ
OP4: 出力端子

【特許請求の範囲】

【請求項1】 センサ部から検出信号を入力して処理する入力段信号処理回路と、この入力段信号処理回路から出力された検出信号を処理して出力端子から出力する出力段信号処理回路とを備えたセンサ用半導体集積回路装置において、前記入力段信号処理回路を構成するオペアンプの入力線にコンデンサを含んでなる第1の高周波遮断回路を設け、

前記出力段信号処理回路を構成するオペアンプにおける差動入力トランジスタの負荷回路に抵抗からなる第2の高周波遮断回路を直列に設けたことを特徴とするセンサ用半導体集積回路装置。

【請求項2】 前記出力段信号処理回路を構成するオペアンプに備えられた差動増幅回路と当該オペアンプの出力端子との間に接続された位相補償回路に直列に抵抗を設けたことを特徴とする請求項1記載のセンサ用半導体集積回路装置。

【請求項3】 前記出力段信号処理回路を構成するオペアンプの出力端子と前記出力段信号処理回路の出力端子との間の信号出力経路に、RCフィルタを設けたことを特徴とする請求項1または2記載のセンサ用半導体集積回路装置。

【請求項4】 前記オペアンプの電源線に対してRCフィルタを設けたことを特徴とする請求項3記載のセンサ用半導体集積回路装置。

【請求項5】 前記第1の高周波遮断回路及び前記位相補償回路を構成するコンデンサは、前記RCフィルタを構成するコンデンサに比較して低耐圧とされていることを特徴とする請求項4記載のセンサ用半導体集積回路装置。

【請求項6】 前記RCフィルタは、高域遮断T型フィルタにより構成されていることを特徴とする請求項3ないし5のいずれかに記載のセンサ用半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、センサ部から検出信号を入力して処理する入力段信号処理回路と、この入力段信号処理回路から出力された検出信号を処理して出力端子から出力する出力段信号処理回路とを備えたセンサ用半導体集積回路装置に関する。

【0002】

【発明が解決しようとする課題】この種のセンサ用半導体集積回路装置（以下、集積回路と略す）においては、他の電子機器からの電磁気的雑音等の外来ノイズに対する装置の耐量（以下、EMC（Electro Magnetic Compatibility）耐量と称する）を向上することが要求されている。従来は、図13（a）に示すように、集積回路Aの端子と樹脂製の製品ケースBに設けられた端子との間

に接続された電源線（Vcc、GNDに接続される夫々の線）間及び当該電源線と出力線との間にチップコンデンサCを設けていた。また、図13（b）に示すように、製品ケースBの内部に金属性のシールドケースDを設け、集積回路Aから外部に延びる信号線や電源線に貫通コンデンサEを設けていた。これにより、外来ノイズの侵入を遮断することができる。しかし、このようなチップコンデンサCや貫通コンデンサE等の外付け部品を用いると、コストや組立工数が増大する。

【0003】また、製品に対する小型化の要求もあることから、集積回路A内部に外来ノイズ対策用の回路を付加することで、EMC耐量を向上させる手段が検討されている。しかしながら、例えば集積回路A内部の電源線に高域除去用RCフィルタを介在させることを想定すると、電源線には集積回路A全体を動作させるための電流を流す必要があることから、抵抗値Rを小さな値でしか設定できない。このため、カットオフ周波数以上の周波数において減衰量の大きな複数段のRCフィルタを構成する場合、必然的にコンデンサの容量値を大きな値に設定しなければならなくなる。すると、集積回路Aにおけるコンデンサの占有面積が増加するため、集積回路Aの1チップあたりの面積が増加する。すなわち、1枚のウェハあたりに形成できる有効チップ（集積回路）が少なくなるため、コストが上昇し生産性が悪化することになる。

【0004】また一方で、近年の無線通信技術の発達により高周波帯域において通信する特定小電力の無線電話や携帯電話機、アマチュア無線等に使用される無線通信端末等が普及しており、これらの機器から発生される電磁波が外来ノイズとして侵入するケースが多くなってきているという事情もある。これらの無線通信端末等は、今後ますます普及することが予測されることから、例えば車両に設置されるセンサ用半導体集積回路装置におけるEMC耐量の向上要求が一層高まってきている。

【0005】本発明は、上記事情に鑑みてなされたもので、その目的は、チップ面積の増大及びコストの上昇を抑えつつ、EMC耐量を高めることができるセンサ用半導体集積回路装置を提供することにある。

【0006】

【課題を解決するための手段】請求項1記載の手段によれば、センサ部から検出信号を入力して処理する入力段信号処理回路と、この入力段信号処理回路から出力された検出信号を処理して出力端子から出力する出力段信号処理回路とを備えたセンサ用半導体集積回路装置において、入力段信号処理回路を構成するオペアンプの入力線にコンデンサを含んでなる第1の高周波遮断回路が設けられているので、例えばセンサ部周辺より侵入する外来ノイズは減衰し、回路に侵入する外来ノイズを低減することができる。

【0007】また、抵抗からなる第2の高周波遮断回路

が、出力段信号処理回路を構成するオペアンプにおける差動入力トランジスタの負荷回路（例えば負荷トランジスタ）に接続されているので、電源線から侵入する外来ノイズは、抵抗により減衰することになり、回路に侵入するノイズが減少する。これにより、EMC耐量を高めることができる。

【0008】さらに、本手段によれば、入力段信号処理回路を構成するオペアンプの入力線と電源線との間に接続されるコンデンサの容量値は、コンデンサを電源線等に介在させることを想定した場合の当該コンデンサの容量値に比較して大幅に小さくなる。また、高周波遮断回路を、ノイズの侵入防止に最も効果的な入力段信号処理回路と出力段信号処理回路とに設けた。これにより、センサ用半導体集積回路装置のチップ面積の増大及びコストの上昇を抑えることができる。

【0009】また、請求項2記載の手段によれば、請求項1記載の発明において、出力信号処理回路を構成するオペアンプにおける差動増幅回路と当該オペアンプの出力端子との間に接続された位相補償回路に直列に抵抗を設けているので、出力段信号処理回路を構成するオペアンプの出力端子側から差動増幅回路に侵入する外来ノイズの減衰割合を高めることができる。

【0010】このとき、入力段信号処理回路を構成するオペアンプに設けられるコンデンサの容量値と、位相補償回路に設けられるコンデンサの容量値とを合計したとしても、コンデンサを電源線等に介在させることを想定した場合の当該コンデンサの容量値に比較して小さくできる。

【0011】請求項3記載の手段によれば、請求項1または2記載の発明において、出力段信号処理回路を構成するオペアンプの出力端子と出力段信号処理回路の出力端子との間の信号出力経路にRCフィルタを設けているので、特に信号出力経路より侵入する外来ノイズの減衰割合を高めることができる。

【0012】この場合、信号出力経路に設けられるRCフィルタを構成するコンデンサの容量値は、第1の高周波遮断回路を構成するコンデンサの容量値を合計したとしても、従来電源線等への介在が想定されるコンデンサの容量値に比較して小さくできる。

【0013】請求項4記載の手段によれば、請求項1ないし3のいずれかに記載の発明において、オペアンプの電源線に対してRCフィルタを設けているので、電源線より侵入する外来ノイズの減衰能力をさらに高めることができる。

【0014】ところで、電源線に設けられるRCフィルタを構成するコンデンサは、他の回路構成に用いられるコンデンサに比較して高耐圧であることが要求されることが多い。高耐圧のコンデンサは、低耐圧のコンデンサに比較すると、ウェハに要する占有面積が大きくなり、従来構成にあっては集積回路1チップあたりに数十%も

の占有面積を占めてしまうこともあった。これに対し、本発明では、上述したように第1の高周波遮断回路を設けることによりRCフィルタを構成するコンデンサの容量値を低減でき、しかも請求項5に記載したように、信号出力経路に設けられるRCフィルタを構成するコンデンサを低耐圧品としたので、集積回路におけるコンデンサの占有面積を減少し、集積回路のチップ面積の増大を極力防止することができる。

【0015】請求項6記載の手段によれば、RCフィルタは高域遮断T型フィルタにより構成されているので、さらなるEMC耐量の向上対策に必要なときには付加することも可能である。

【0016】

【発明の実施の形態】（第1の実施形態）以下本発明を、半導体圧力センサ装置に適用したセンサ用半導体集積回路装置の第1の実施形態について、図1ないし図7を参照しながら説明する。図1(a)、図1(b)は、半導体圧力センサ装置の電気的な概略構成を示している。

【0017】この半導体圧力センサ装置（以下、センサ装置と略す）1は、一つの集積回路として構成されており、全体の制御を行う制御回路2と、この制御回路2に接続されるD/A変換器3と、このD/A変換器3に接続される信号処理部4と、この信号処理部4に接続されるセンサ部としてのゲージ部5とからなっている。

【0018】制御回路2は、論理回路、PROM等を主体として構成されており、D/A変換器3を介して、信号処理部4に対し指示信号を出力するようになっている。また信号処理部4は、2段の増幅作用を主体とした回路により構成されている。信号処理部4とゲージ部5は、異なる半導体チップ上に分離した状態で形成されているが、信号処理部4とゲージ部5を同一半導体チップ上に形成してもよい。

【0019】ゲージ部5は、ピエゾ抵抗係数が大きな半導体チップを利用して形成されたもので、抵抗Ra、Rb、Rc、Rdを図示のようにブリッジ接続して構成されている。これらの抵抗Ra、Rb、Rc、Rdは、印加圧力の増大に応じて抵抗値が図1に矢印で示す態様（上向きの矢印は抵抗値が増加することを示し、下向きの矢印は抵抗値が減少することを示す）で変化する構成となっている。

【0020】従って、ゲージ部5の一方の出力端子5c（抵抗Ra及びRbの共通接続点）の電位は印加圧力の増大に応じて低下し、また、他方の出力端子5d（抵抗Rc及びRdの共通接続点）の電位は印加圧力の増大に応じて上昇するものであり、出力端子5c及び5dからは、印加圧力に応じた電圧レベルの検出信号が出力されることになる。尚、このゲージ部5は、半導体チップに設けたダイアフラム上に拡散抵抗により形成されていてもよい。

【0021】信号処理部4において駆動回路6は、図示しない複数のオペアンプおよびトランジスタ等から構成されるもので、電源端子Vcc2に電源が供給されることにより動作するようになっている。そして、D/A変換器3からの指示信号に基づいてゲージ部5に駆動電源を供給するようになっている。尚、図1(b)に示すように、電源端子Vcc-グランドGND間には、図示しない電源回路から例えば5Vの直流電圧が与えられ、抵抗Rv1及びRv2を介して信号処理部4内部等の電源端子Vcc2に供給されるようになっている。また、電源端子Vccに与えられる電源電圧は、電源端子Vcc1にも供給されるようになっている。

【0022】調整回路7は、図示しない複数のオペアンプおよびトランジスタ等から構成されるもので、電源端子Vcc2に電源が供給されることにより動作するようになっている。そして、D/A変換器3からの微調整用の指示信号に基づいて、後述するオペアンプOP3に調整用信号を出力するように構成されている。

【0023】オペアンプOP1、OP2は、電源端子Vcc2に供給される電源で動作するようになっている。オペアンプOP1の非反転入力端子には、抵抗R1、端子8bを介してゲージ部5の出力端子5dが接続され、オペアンプOP2の非反転入力端子には、端子8a、抵抗R4を介してゲージ部5の出力端子5cが接続されている。入力段の信号処理回路8（入力段信号処理回路）は、オペアンプOP1及びOP2、並びに抵抗R1～R8により図示のような接続形態をもって差動増幅回路の機能を主体として構成されている。

【0024】定電圧発生回路9は、基準電圧生成用の抵抗R9～R12とオペアンプOP4とを図示のように接続してなるもので、例えば1.5V程度の直流電圧Vaを出力するようになっている。また、定電圧発生回路9の出力端子は、抵抗R13を介してオペアンプOP3の非反転入力端子にも接続されている。

【0025】信号処理回路8と信号処理部4の出力端子OUTとの間には、オペアンプOP3、抵抗R13～R15及びR27から構成される出力段の信号処理回路（出力段信号処理回路）10が設けられている。

【0026】信号処理回路8の出力ノードとなるオペアンプOP1の出力端子は、抵抗R14を介してオペアンプOP3の非反転入力端子に接続されている。オペアンプOP3の反転入力端子と出力端子との間には抵抗R15が接続されている。尚、オペアンプOP3は電源電圧Vcc2の供給を受けて動作するようになっている。

【0027】また、オペアンプOP3は、オープンコレクタの出力形態を有しているため、その出力端子は抵抗R27を介して電源端子Vcc1にプルアップされている。

【0028】以下、オペアンプOP1～OP3の構成について説明する。

<オペアンプOP1及びOP2の構成について>オペアンプOP1及びOP2は本実施形態において同一構成である。図2は、オペアンプOP1の概略的な電氣的構成を示している。オペアンプOP1は、非反転入力端子IN+及び反転入力端子IN-に接続されたRCフィルタ回路11（第1の高周波遮断回路）と、このRCフィルタ回路11の後段に接続された差動増幅回路12と、この差動増幅回路12の後段に接続された出力回路13と、差動増幅回路12および出力回路13に対する基準電流を発生させるための周知構成のバイアス回路14と、位相補償用コンデンサ15とを主体として構成されている。

【0029】オペアンプOP1の非反転入力端子IN+は、抵抗R16pを介してPNP型のトランジスタTr1のベースに接続されている。オペアンプOP1の反転入力端子IN-は、抵抗R16mを介してPNP型のトランジスタTr2のベースに接続されている。そして、抵抗R16pとトランジスタTr1との共通接続点は、コンデンサC1pを介してグランド端子GNDに接続されており、抵抗R16mとトランジスタTr2との共通接続点は、コンデンサC1mを介してグランド端子GNDに接続されている。尚、本発明におけるオペアンプの入力線とは、非反転入力端子IN+からトランジスタTr1に至る線や、反転入力端子IN-からトランジスタTr2に至る線を示している。

【0030】差動増幅回路12において、トランジスタTr1及びTr2（差動入力トランジスタ）のエミッタは共通に接続されており、定電流源を構成するマルチコレクタタイプのトランジスタTr3と電流制限用抵抗R17とを介して電源線Vcc2（電源端子Vcc2）に接続されている。ここで、トランジスタTr3のベースはバイアス回路14に接続されている。

【0031】トランジスタTr1、Tr2のコレクタとグランド端子GNDとの間には、NPN型のトランジスタTr4、Tr5からなる能動負荷（負荷回路）が接続されている。これらトランジスタTr4、Tr5は、カレントミラー回路と同様の回路構成となっている。

【0032】トランジスタTr1とトランジスタTr4との共通接続点は、PNP型のトランジスタTr6のベースに接続されている。このトランジスタTr6のコレクタとエミッタは、それぞれグランド端子GNDと、トランジスタTr3のコレクタに接続されている。また、トランジスタTr6のエミッタは、NPN型のトランジスタTr7のベースに接続されている。このトランジスタTr7のコレクタは、抵抗R18を介して電源線Vcc2に接続され、エミッタは抵抗R19を介してグランド端子GNDに接続されている。

【0033】一方、トランジスタTr2とトランジスタTr5との共通接続点は、PNP型のトランジスタTr8のベースに接続されている。このトランジスタTr8の

コレクタはグランド端子GNDに接続され、エミッタはNPN型のトランジスタTr9のエミッタ・コレクタ間を介してトランジスタTr3のコレクタに接続されている。

【0034】PNP型のトランジスタTr10は、カレントミラー回路と同様な回路を構成しており、そのエミッタはトランジスタTr9のコレクタに接続されている。また、カレントミラー回路の入力側、出力側に相当するコレクタは、それぞれ、トランジスタTr9のベース、トランジスタTr4、Tr5、Tr8のベースに接続されている。なお、トランジスタTr6～Tr8、抵抗R18およびR19は、バッファ回路としての機能を有して構成されている。このバッファ回路は入力段回路と出力段回路との干渉（相互作用）を極力防ぐもので、必要に応じて設ければ良い。

【0035】出力回路13は、電源線Vc2とグランド端子GNDとの間にPNP型のトランジスタTr12とNPN型のトランジスタTr11とが直列に接続された回路形態を備えている。

【0036】トランジスタTr11、Tr12のベースは、それぞれトランジスタTr7のエミッタ、バイアス回路14に接続され、トランジスタTr11、Tr12のコレクタはともに出力端子OP1OUTに接続されている。トランジスタTr1とトランジスタTr4の共通接続点と、出力端子OP1OUTとの間には、位相補償用コンデンサ15が接続されている。

【0037】図3は、バイアス回路14の電氣的構成を示している。バイアス回路14は、トランジスタTr13～Tr15、抵抗R20、R21が図示のように接続されて構成されるもので、電源端子Vcc2から電源線Vc2を介して電源電圧が与えられてバイアス電圧を生成するようになっている。

【0038】＜オペアンプOP3の構成について＞図4は、オペアンプOP3の概略的な電氣的構成を示すもので、図2に示すオペアンプOP1と同様の構成部分については、その説明を省略する。オペアンプOP3は、差動増幅回路16と、その後段に接続された出力回路17と、位相補償回路としてのコンデンサ18とを主体として構成されている。

【0039】オペアンプOP3の非反転入力端子IN+、IN-は、それぞれ抵抗R24p、R24mを介して差動入力トランジスタとしてのトランジスタTr16、Tr17の各ベースに接続されている。トランジスタTr16及びTr17のエミッタは共通に接続されており、トランジスタTr18のコレクタ・エミッタ間と電流制限用抵抗R25とを介して電源線Vc2（電源端子Vcc2）に接続されている。尚、トランジスタTr18のベースには、バイアス回路14（図2参照）からバイアス電圧が与えられている。

【0040】トランジスタTr16、Tr17とグランド端

子GNDとの間には、トランジスタTr19、Tr20からなる負荷回路40と抵抗R28、R29からなる高域遮断回路39（第2の高周波遮断回路）とが直列に接続されている。すなわちトランジスタTr19、Tr20のエミッタは、それぞれ抵抗R28、R29を介してグランド端子GNDに接続されている。トランジスタTr16、Tr17のコレクタには、それぞれレベルシフト用のトランジスタTr21、Tr25が接続されている。

【0041】そのトランジスタTr21のエミッタは、NPN型のトランジスタTr22のベースに接続されており、トランジスタTr22のコレクタは、抵抗R26を介して電源線Vc2に接続されている。

【0042】トランジスタTr22のエミッタは、ダイオード接続されたトランジスタTr23のコレクタ・エミッタ間を介してグランド端子GNDに接続されている。また、出力端子OP3OUTとグランド端子GNDとの間には、トランジスタTr24のコレクタ・エミッタ間が接続されており、これらトランジスタTr23、Tr24によりカレントミラーの回路形態を有する出力回路が構成されている。トランジスタTr24のコレクタは、オペアンプの出力端子OP3OUTを介して出力段信号処理回路10の出力端子OUTに接続されるとともに、抵抗R27を介して電源端子Vcc1に接続されている。まお、トランジスタTr16及びTr19の共通接続点と、オペアンプOP3の出力端子OP3OUTとの間には、コンデンサ18が接続されている。

【0043】次に、上述構成の作用について、図5ないし図7をも参照して説明する。

＜測定環境の説明＞図5は、センサ装置1のEMC耐量測定環境、G-TEMCCELLによる試験方法を示している。本実施形態におけるEMC耐量測定環境においては、センサ装置1がシールドケース30内に高周波源31とともに設置されており、センサ装置1の電源端子Vcc、グランド端子GND及び出力端子OUTは、シールドケース30の外部に設置された測定器32に対して、それぞれ単線ワイヤ33により接続されて構成されている。尚、単線ワイヤ33は、シールドされていない。

【0044】単線ワイヤ33は、シールドケース30の外部において、フェライトビーズ34に挿通されている。シールドケース30の内部における単線ワイヤ33の長さXは、それぞれ15cmに設定されている。

【0045】高周波源31は、所定の周波数の電波（例えば電界強度100V/m）をシールドケース内に照射するように回路構成されている。また、測定器32は、高周波源31から電波が照射される前と照射中とにおける出力端子OUTとグランド端子GNDとの間の電圧値を単線ワイヤ33を介して測定できるようになっている。ここで、高周波源31と測定器32とは、相互通信可能に構成されている。

【0046】＜作用説明＞高周波源31から電波がセンサ装置1に照射されると、高周波源31によるノイズがセンサ装置1内部に侵入する。この場合ノイズは、特にゲージ部5、電源端子Vcc1、出力端子OUTおよびグランド端子GNDから侵入する。

【0047】ノイズは、特にアナログ回路を構成する信号処理部4およびゲージ部5に対して影響を及ぼすことになる。この場合、センサ装置1内に侵入したノイズは、信号処理部4における電源端子Vccやグランド端子GNDを通じて駆動回路6や調整回路7、オペアンプOP4にも達する。しかしながら、駆動回路6、調整回路7に使用されるオペアンプ、定電圧発生回路9のオペアンプOP4やその周辺回路などに対策を施してもEMC耐量の向上にはあまり寄与しないことが、発明者らの実験により明らかとなっている。

【0048】電源端子Vcc、出力端子OUTおよびグランド端子GNDから侵入したノイズは、特に出力段のオペアンプOP3における電源線Vc2およびグランド線等を通じて、差動増幅回路16（図4参照）に達し、特にオペアンプOP3における初段の差動増幅回路16に影響を及ぼす。このとき、トランジスタTr19及びTr20のエミッタとグランド端子GNDとの間に挿入された抵抗R28及びR29は、このグランド端子GNDから侵入したノイズを大幅に減衰させる。尚、この抵抗R28及びR29を同一の抵抗値に設定することが、差動増幅回路16の対称を保つためには望ましい。ノイズがオペアンプOP3の初段の差動増幅回路16において遮断されれば、このノイズ成分が増幅されることを防ぐことができる。

【0049】このように抵抗R28及びR29は、外来ノイズを遮断する効果が大いだが、これに代えて（またはこれと共に）、トランジスタTr16とTr19との間及びトランジスタTr17とTr20との間に抵抗を挿入してもよい。

【0050】一方、ゲージ部5より侵入したノイズは、入力端子8a、8bを介してオペアンプOP1及びOP2等から構成される信号処理回路8に入力される。この場合、反転入力端子IN-、非反転入力端子IN+から入力されるノイズは、図2に示すRCフィルタ回路11により高周波数帯の信号が低減される。したがって、信号処理回路8、10により増幅されるノイズが減少することになる。

【0051】＜測定結果＞図6は、出力端子OUTとグランド端子GNDとの間の電圧値の変化量の測定結果を示している。①に示す測定結果は、上述した図1～図4に示す回路構成において、高周波源31から電界強度100V/mの電波をセンサ装置1に与える前の出力端子OUTの電圧と、与えているときの出力端子OUTの電圧との差の電圧を示している。

【0052】これに対し、②に破線で示す測定結果は、

図7（a）に示すような2段のRCフィルタを図1

（b）に示す抵抗Rv1及びRv2を利用してコンデンサ35、36とともに形成し、また、オペアンプOP3の出力端子OP3OUTと出力端子OUTとの間に図7（b）に接続状態を示すような2段のRCフィルタ（抵抗R28及びR29、コンデンサ37及び38）を形成したときに得られるものである。電波条件は①と同じであり、出力端子OUTに現れる上記差の電圧の測定結果を示している。

【0053】この図7（a）に示す抵抗Rv1及びRv2の抵抗値は、夫々350Ωに設定されており、コンデンサ35、36の容量値は、夫々50pFに設定されている。また、図7（b）に示す抵抗R28及びR29の抵抗値は、夫々250Ωに設定されており、コンデンサ37、38の容量値は、夫々25pFで設定されている。その他の回路定数として、C1p=C1m=3pF、電源端子Vcc-グランド端子GND間にかかる電圧を5Vとしている。尚、図7（c）は、上述した図7（a）、（b）をまとめて簡略化して示したものである。

【0054】図6において、②に対して①に示す変化量dV0[mV]が測定周波数全領域で低下していることがわかる。特に約200MHz～600MHzの周波数帯において出力端子OUTにおいて測定した外来ノイズが顕著に低減されていることがわかる。つまり、電源線や信号線に2段のRCフィルタを形成するよりも、それらを取り除いて負荷回路40に抵抗R28及びR29を挿入する手段のほうが、ノイズの低減効果が大きいことが確認された。

【0055】このような第1の実施形態によれば、オペアンプOP1及びOP2において、トランジスタTr1、Tr2のベースとグランド端子GNDとの間にそれぞれコンデンサC1p、C1mを含んでなる第1の高周波遮断回路11を備えているので、ゲージ部5周辺より侵入する外来ノイズは減衰し、信号処理回路8に侵入する外来ノイズを低減することができる。

【0056】また、オペアンプOP3に対して、抵抗R28及びR29からなる第2の高周波遮断回路39を備えているので、グランド側の電源線（グランド線）から侵入するノイズが減少する。したがって、信号処理回路8または10により増幅されるノイズが減少するため、EMC耐量を高めることができる。

【0057】コンデンサC1p、C1mの容量値を合計したとしても、従来構成においてコンデンサを電源線に介在させることを想定した場合の当該コンデンサの容量値に比較して大幅に小さくなる。また、第1及び第2の高周波遮断回路11、39をノイズの侵入防止に最も効果的な信号処理回路8と信号処理回路10とに絞って設けたので、必要最小限の回路構成により効果を達することができる。これにより、センサ装置1のチップ面積の増大及びコストの上昇を抑えることができる。チップ面積を

抑えることができるため、1枚のウェハあたりに形成できるセンサ装置1が多くなるため、生産性を向上することができる。

【0058】一般的に使用されるゲージ部5の検出信号は微小な信号であることが多く、少なくとも2段以上のオペアンプによる増幅回路を必要とする場合には特に効果的となる。さらに、外部に貫通コンデンサやチップコンデンサ等を用いないためコストダウンすることができる。

【0059】従来、電源線に介在させなければならないと想定された2段のRCフィルタの例えば高耐圧品のコンデンサ35、36を削除した構成において、EMC耐量を向上することができる。また、オペアンプOP3OUTと出力端子OUTとの間に設けなければならないと想定された2段のRCフィルタを構成するコンデンサ37、38を削除した構成において、EMC耐量を高めることができる。

【0060】(第2の実施形態)図8は、本発明の第2の実施形態を示すもので、第1の実施形態と異なるところは、オペアンプOP3の回路構成において、位相補償回路としてのコンデンサ18に直列に抵抗を設けた構成としたところである。すなわち、トランジスタTr16及びTr19の共通接続点とオペアンプOP3の出力端子OP3OUTとの間には、コンデンサ18と抵抗19とが直列に接続されている。この場合、オペアンプOP3の出力端子OP3OUTから侵入する外来ノイズは抵抗19により減衰する。これにより、特に差動増幅回路16に侵入する外来ノイズの減衰能力を高めることができる。

【0061】<測定結果1>図9は、第1の実施形態で説明した環境と同一測定環境において測定を行った結果を上述した②(図6参照)における測定結果と比較して示している。尚、コンデンサ18の容量値は、30pFと設定されている。③に示す測定結果は、図7(a)、図7(b)に示すような2段のRCフィルタを設けず、図1～図3及び図8に示す回路構成において、高周波源31から電界強度100V/mの電波をセンサ装置1に与える前の出力端子OUTの電圧と、与えているときの出力端子OUTの電圧との差の電圧を示している。

【0062】この図9において、②に対して③に示す変化量dV0[mV]が測定周波数全領域で顕著に低下していることがわかる。第1の実施形態において説明を行った①の測定結果と比較してもさらにEMC耐量を低減することができる。

【0063】コンデンサ18の容量値(30pF)と、信号処理回路8を構成するオペアンプOP1及びOP2におけるコンデンサC1p及びC1mの容量値(それぞれ3pF)とを合計したとしても、図7(a)、(b)に示すコンデンサ35～38の容量値の合計(150pF)に比較して小さくできる。これにより、センサ装置1のチップ

面積を低下させることができる。

【0064】<測定結果2>図10は、別の測定サイト(欧州EMC規格に準拠、高周波源31からの電界強度は150V/m)において測定した変化量の測定結果を示している。変化量は一般的に電界強度の2乗に比例するが、この測定結果を近年の評価によく用いられる電界強度200V/mの下での変化量に換算した場合にも要求仕様を十分に満たすかなり小さな値となる。

【0065】(第3の実施形態)図11は、本発明の第3の実施形態を示すもので、第1の実施形態と異なるところは、増幅回路10を構成するオペアンプOP3の出力端子OP3OUTと出力端子OUTとの間の信号出力経路にT型1段のRCフィルタを設けたところにある。

【0066】すなわち、抵抗Rv1及びRv2の共通接続点と、グランド端子GNDとの間には、コンデンサ41が接続されており、高域遮断T型フィルタとしてのRCフィルタ42を構成している。また、図11(b)に示すように、抵抗R28及びR29の共通接続点とグランド端子GNDとの間には、コンデンサ43が接続されており、高域遮断T型フィルタとしてのRCフィルタ44を構成している。コンデンサ43の容量値は25pFに設定されている。

【0067】そして、RCフィルタ回路11を構成するコンデンサC1p及びC1mのそれぞれの耐圧は、RCフィルタ42及びRCフィルタ44のコンデンサ41及び43の耐圧に比較して低耐圧とされている。また、位相補償回路を構成するコンデンサ18の耐圧もまた、コンデンサ41及び43の耐圧に比較して低耐圧とされている。尚、図11(c)は、上述した図11(a)、(b)をまとめて簡略化して示したものである。

【0068】この場合、電源端子Vccから侵入する外来ノイズは、RCフィルタ42により減衰し、出力端子OUTから侵入する外来ノイズは、RCフィルタ44により減衰する。

【0069】本実施形態によれば、オペアンプOP3の出力端子OP3OUTと出力端子OUTとの間の信号出力経路に1段のRCフィルタ(高域遮断T型フィルタ)を設けているので、特に信号出力経路より侵入する外来ノイズに対する減衰量を高めることができる。

【0070】この場合、信号出力経路に設けられるコンデンサ43の容量値(25pF)は、信号処理回路8のオペアンプOP1及びOP2におけるコンデンサC1p、C1mの容量値(それぞれ3pF)を合計したとしても、従来電源線等に設置が想定されるコンデンサ35、36(図7(c)参照)の容量値に比較して小さくできる。

【0071】この場合、オペアンプOP1～OP3の電源線に対してRCフィルタを設けているので、電源線より侵入する外来ノイズの減衰量をさらに高めることができる。ここで、コンデンサC1p、C1mは、コンデンサ41、43に比較して低耐圧に設定されているので、セン

サ装置 1 の集積回路内におけるチップ占有面積を小さくすることができる。また、コンデンサ 18 は、コンデンサ 41、43 に比較して低耐圧に設定されているので、センサ装置 1 の集積回路内におけるチップ占有面積を小さくすることができる。

【0072】（第 4 の実施形態）図 12 は、本発明の第 4 の実施形態を示すもので、第 1 の実施形態と異なるところは、各回路ブロックごとに電源経路を分けて、当該電源経路に RC フィルタを設けたところにある。

【0073】すなわち、図 1（a）に示す駆動回路 6 に対して、電源端子 Vcc に接続される抵抗 Rv3 および抵抗 Rv4 とコンデンサ 50 からなる RC フィルタ 51 を構成し、この RC フィルタ 51 によりフィルタリングされた電圧が供給される電源端子 Vcc3 から駆動回路 6 を動作するように構成することもできる。また、第 3 の実施形態において説明した RC フィルタ 42、44 と共に RC フィルタ 51 を回路ブロックごとに設けることで、各回路間の相互影響を極力排除することができる。

【0074】（他の実施形態）本発明は、上述した実施形態に限らず、以下のように適用することもできる。

【0075】上述した実施形態においては、信号処理回路 8、10 における 2 段の増幅回路により説明を行ったが、ゲージ部 5 の出力を増幅する増幅度の設定により、信号処理回路 8 と信号処理回路 10 との間に中間増幅回路を設けて構成しても良い。この場合、この中間増幅回路には、本発明におけるコンデンサや抵抗、高周波遮断回路を設ける必要はない。

【0076】上述実施形態においては、半導体圧力センサに適用して示したが、圧力センサに限らず、回転センサ、速度センサ、加速度センサ、角速度センサ、変位センサ、位置センサ等のような各種半導体センサに適用できる。

【0077】第 3 実施形態においては、RC フィルタ 42 と RC フィルタ 44 とを設けたが、どちらか一方のみに設ける構成としても良い。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態を示すセンサ用半導体集積回路装置の電気的構成図

【図 2】 入力段信号処理回路を構成するオペアンプの電気的構成図

【図 3】 バイアス回路の電気的構成図

【図 4】 出力段信号処理回路を構成するオペアンプの電気的構成図

【図 5】 測定系を示す図

【図 6】 測定結果を示す図

【図 7】 比較対象回路の一部を示す図（（a）電源線付近の電気的構成図、（b）出力端子付近の電気的構成図、（c）センサ用半導体集積回路装置における電気的構成の概略図）

【図 8】 本発明の第 2 の実施形態を示す図 4 相当図

【図 9】 図 6 相当図

【図 10】 別の測定サイトにおける測定結果を示す図

【図 11】 本発明の第 3 の実施形態を示す電気的構成の一部を示す図（（a）電源線付近の電気的構成図、（b）出力端子付近の電気的構成図、（c）センサ用半導体集積回路装置における電気的構成図）

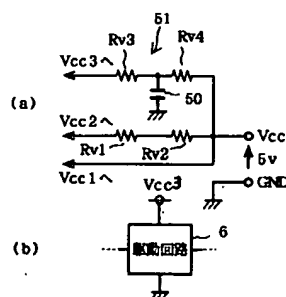
【図 12】 本発明の第 4 の実施形態を示す図（（a）は図 1（b）相当図、（b）は駆動回路を示す図）

【図 13】 従来例を示す図 7（c）相当図

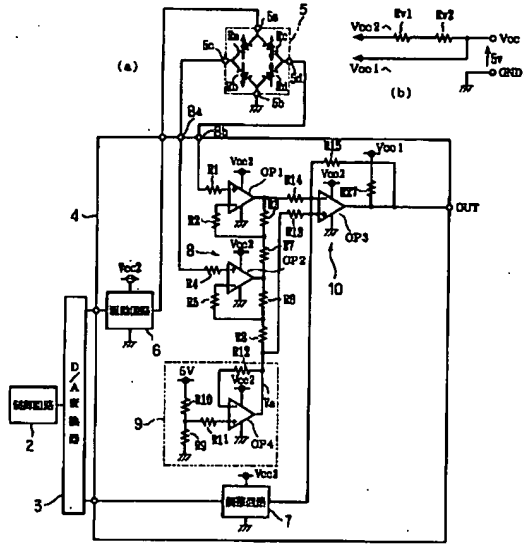
【符号の説明】

1 はセンサ装置（センサ用半導体集積回路装置）、5 はゲージ部（センサ部）、8 は信号処理回路（入力段信号処理回路）、10 は信号処理回路（出力段信号処理回路）、11 は RC フィルタ（第 1 の高周波遮断回路）、12、16 は差動増幅回路、15、18 はコンデンサ（位相補償回路）、19 は抵抗、39 は高周波遮断回路（第 2 の高周波遮断回路）、40 は負荷回路、42、44 は高域遮断 T 型フィルタ、OP1、OP2、OP3 はオペアンプ、OP1OUT、OP3OUT は出力端子、OUT は出力端子、C1p、C1m はコンデンサ、Tr16、Tr17 はトランジスタ（差動入力トランジスタ）である。

【図 12】

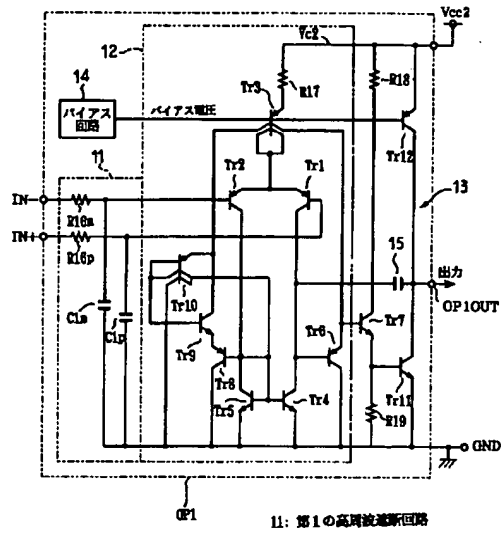


【図 1】



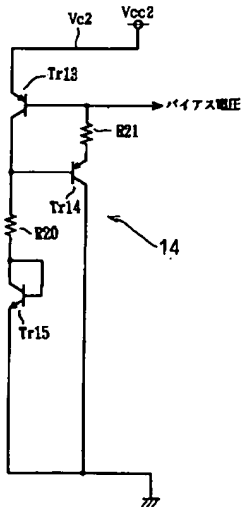
5: センサ部
8: 入力信号処理回路
10: 位置信号処理回路
OP1, OP2, OP3, OP4: オペアンプ
OUT: 出力端子

【図 2】

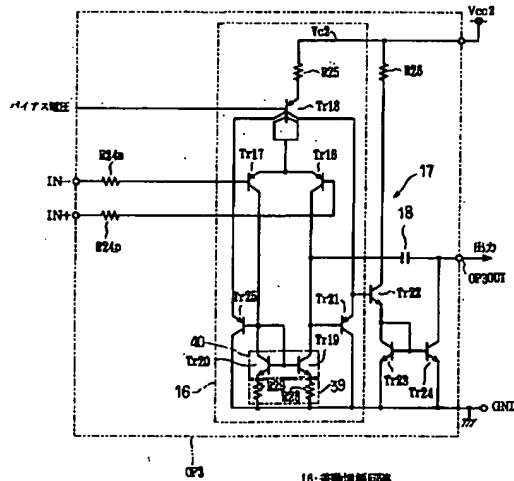


11: 第1の高周波差動回路

【図 3】

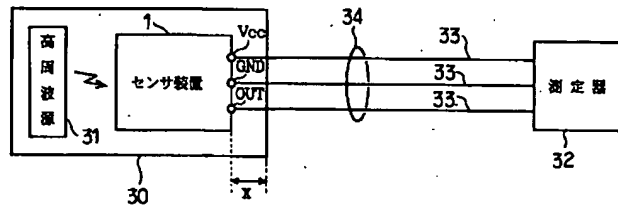


【図 4】

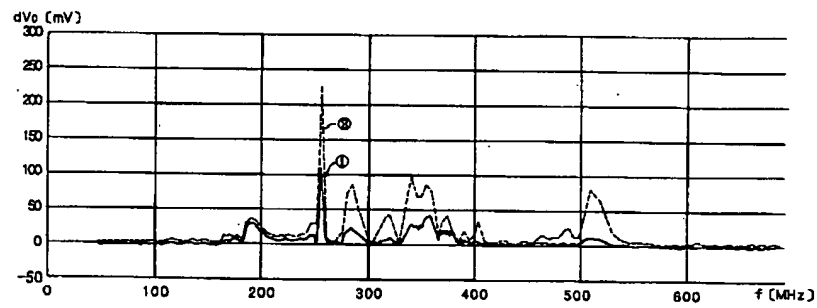


16: 差動増幅回路
18: 位置増幅回路
Tr16, Tr17: 差動入力トランジスタ
39: 第2の高周波差動回路
40: 負荷回路

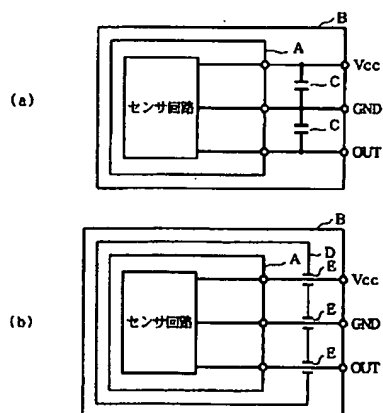
【図5】



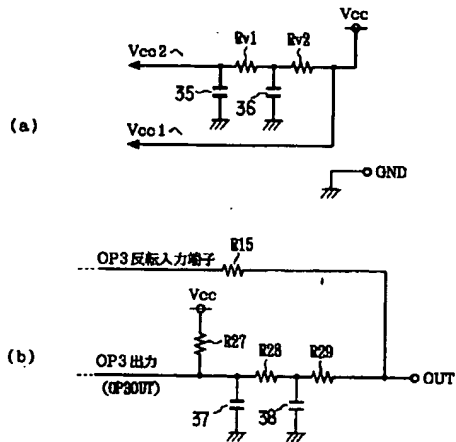
【図6】



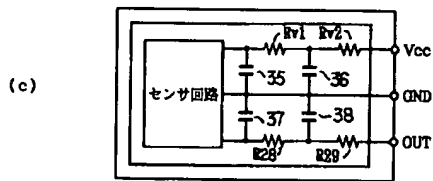
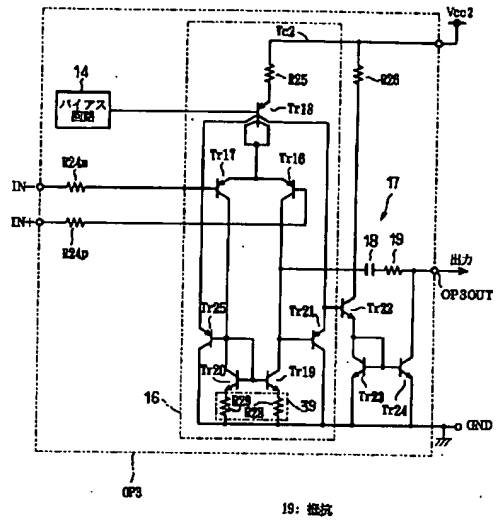
【図13】



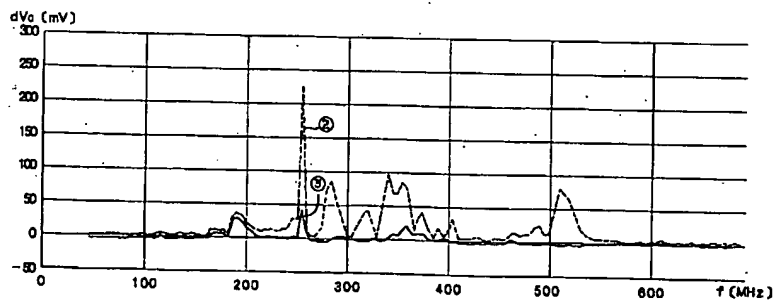
【図 7】



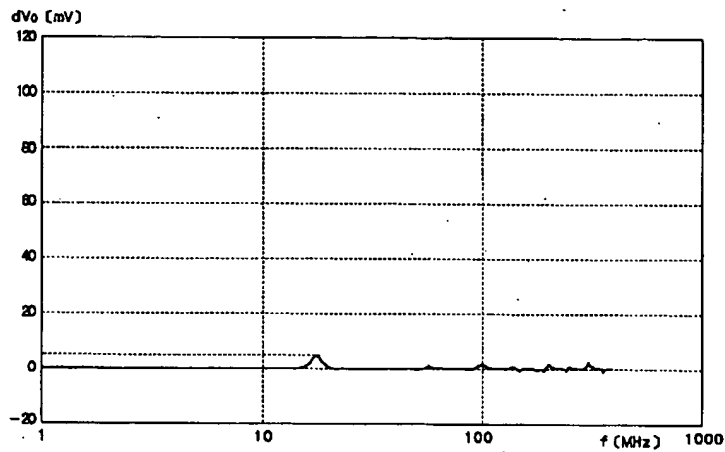
【図 8】



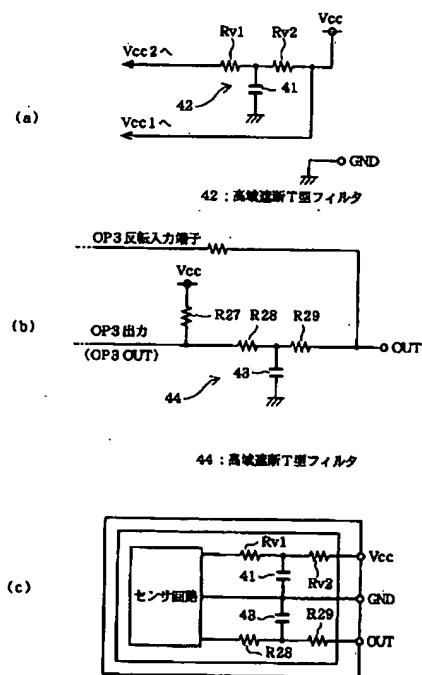
【図 9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5J092 AA01 CA41 CA51 FA20 HA05
HA08 HA19 HA25 HA29 HA42
KA01 KA02 KA03 KA09 KA12
KA18 KA34 KA42 MA09 SA15
TA01 TA03 UR12 UR14
5J500 AA01 AC41 AC51 AF20 AH05
AH08 AH19 AH25 AH29 AH42
AK01 AK02 AK03 AK09 AK12
AK18 AK34 AK42 AM09 AS15
AT01 AT03 RU12 RU14